



PATENT

#3  
Priority  
Paper  
MAD  
3/50/02

## THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Yasuhiko SAITO et al. Conf. No. 4164  
Appl. No.: 10/058,771 Group: 2185  
Filed: January 30, 2002 Examiner: UNKNOWN  
For: CONTROL CIRCUIT FOR CACHE SYSTEM AND  
METHOD OF CONTROLLING CACHE SYSTEM

RECEIVED

MAY 16 2002

Technology Center 2100

LETTER

Assistant Commissioner for Patents  
Washington, DC 20231

Date: May 14, 2002

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2001-022210	January 30, 2001


A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG &amp; THOMPSON

By

  
Robert J. Patch, #17,355

745 South 23<sup>rd</sup> Street, Suite 200  
Arlington, Virginia 22202  
(703) 521-2297

Attachment



日本国特許庁  
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2001年 1月30日

出願番号  
Application Number:

特願2001-022210

出願人  
Applicant(s):

日本電気株式会社

RECEIVED

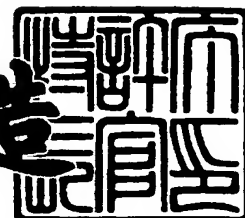
MAY 16 2002

Technology Center 2100

2001年10月19日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3092803

【書類名】 特許願

【整理番号】 74310354

【提出日】 平成13年 1月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 12/00

【発明の名称】 キャッシュシステムの制御回路

【請求項の数】 12

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 斎藤 靖彦

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 宮本 和納

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100108578

    【弁理士】

    【氏名又は名称】 高橋 詔男

【代理人】

    【識別番号】 100064908

    【弁理士】

    【氏名又は名称】 志賀 正武

【選任した代理人】

    【識別番号】 100101465

    【弁理士】

    【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャッシュシステムの制御回路

【特許請求の範囲】

【請求項1】 N段(N:1以上の整数)のストアキューを備え、命令のリオーダーが可能なデータキャッシュを備えるキャッシュシステムの制御回路において、

タグ検索を伴う命令のインデックス及びオフセットが、ストアキュー内の少なくとも1個のストア命令のインデックス及びオフセットと一致するときに、前記タグ検索を伴う命令をストールし、インデックスが一致するがオフセットが一致しないときは前記タグ検索を伴う命令をストールしない

ことを特徴とするキャッシュシステムの制御回路。

【請求項2】 N段(N:1以上の整数)のストアキューを備え、命令のリオーダーが可能なデータキャッシュを備えるキャッシュシステムの制御回路において、

タグ検索を伴う命令のインデックス及びオフセットとストアキュー内のストア命令のインデックス及びオフセットとをそれぞれ比較し、両方とも一致するときに、当該タグ検索を伴う命令をストールする

ことを特徴とするキャッシュシステムの制御回路。

【請求項3】 N段(N:1以上の整数)のストアキューを備え、命令のリオーダーが可能なデータキャッシュを備えるキャッシュシステムの制御回路において、

タグ検索を伴う命令のインデックス及びオフセットとストアキュー内のストア命令のインデックス及びオフセットとを比較する手段を備える

ことを特徴とするキャッシュシステムの制御回路。

【請求項4】 N段(N:1以上の整数)のストアキューを備え、命令のリオーダーが可能なデータキャッシュを備えるキャッシュシステムの制御回路において、

ストアキュー内にストア命令が存在している場合に、

後続のタグ検索を伴う命令のインデックスが、ストアキュー内のストア命令の

インデックスと一致するときにもタグ検索を伴う命令をストールさせず、

タグ検索を伴う命令がキャッシュミスをし、リプレース対象のインデックス、ウェイの組み合わせと、ストアキュー内のストア命令のインデックス、ウェイの組み合わせが一組でも一致したときのみ、ストアキュー内のストア命令による書き込みを優先して実行した後に、リプレース処理を行うこと

を特徴とするキャッシュシステムの制御回路。

【請求項5】 後続のタグ検索を伴う命令のインデックス及びオフセットが、前記ストアキュー内のストア命令のインデックス及びオフセットと一致するときにはタグ検索を伴う命令をストールさせる

ことを特徴とする請求項4記載のキャッシュシステムの制御回路。

【請求項6】 前記後続のタグ検索を伴う命令がロード命令であることを特徴とする請求項5記載のキャッシュシステムの制御回路。

【請求項7】 前記タグ検索を伴う命令がストア命令である場合に、タグ検索を伴う命令がキャッシュミスをしたときには、リプレース対象のインデックス、ウェイの組み合わせと、ストアキュー内のストア命令のインデックス、ウェイの組み合わせが一組でも一致したときに、ストアキュー内のストア命令による書き込みを優先して実行し、その後リプレース処理を行ってから当該タグ検索を伴う命令をストアキューに格納する

ことを特徴とする請求項4～6のいずれか1項記載のキャッシュシステムの制御回路。

【請求項8】 前記データキャッシュがmウェイ（mは2以上の整数）のセットアソシアティブ方式による構成を有していることを特徴とする請求項1～7のいずれか1項記載のキャッシュシステムの制御回路。

【請求項9】 請求項1～8のいずれか1項記載のキャッシュシステムの制御回路と、

前記キャッシュシステムの制御回路に対してストアキュー内のストア命令による書き込みの実行を許可する信号を与える信号処理装置と

を備えたことを特徴とする半導体装置。

【請求項10】 N段（N：1以上の整数）のストアキューを備え、命令の

リオーダーが可能なデータキャッシュを備えるキャッシュシステムの制御方法において、

ストアキュー内にストア命令が存在している場合に、

タグ検索を伴う命令のインデックス及びオフセットが、ストアキュー内の少なくとも1個のストア命令のインデックス及びオフセットと一致するときに前記タグ検索を伴う命令をストールし、インデックスが一致するがオフセットが一致しないときは前記タグ検索を伴う命令をストールしない

ことを特徴とするキャッシュシステムの制御方法。

【請求項 1 1】 各段にストア命令に係る情報を格納するN段（N：1以上の整数）のストアキューと、

後続するタグ検索を伴う命令がストア命令以外の命令である場合に、当該命令のインデックス及びオフセットが、前記ストアキュー内の少なくとも1つのストア命令のインデックス及びオフセットと一致するときにその旨を示す信号を出力するインデックスマッチ検出手段と、

前記インデックスマッチ検出手段から比較結果が一致したことを示す信号が出力された場合に、当該後続命令をストールさせる制御手段と

を備えたことを特徴とするキャッシュシステムの制御回路。

【請求項 1 2】 各段にストア命令に係る情報を格納するN段（N：1以上の整数）のストアキューと、

後続するタグ検索を伴う命令がストア命令以外の命令である場合、当該命令のインデックス及びオフセットが、前記ストアキュー内の少なくとも1つのストア命令のインデックス及びオフセットと一致するときにその旨を示す信号を出力するインデックスマッチ検出手段と、

後続するタグ検索を伴う命令のインデックス及びウェイが、前記ストアキュー内の少なくとも1つのストア命令のインデックス及びウェイと一致するときにその旨を示す信号を出力するストアキューヒット検出手段と、

前記インデックスマッチ検出手段又は前記ストアキューヒット検出手段から比較結果が一致したことを示す信号が出力された場合に、当該後続命令をストールさせる制御手段と

を備えたことを特徴とするキャッシュシステムの制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ストア命令を一旦記憶可能なストアキューを備え、かつ命令のリオーダーを可能とする半導体装置に用いて好適な、キャッシュシステムの制御回路に関する。

【0002】

【従来の技術】

データキャッシュ（あるいはデータキャッシュシステム）を有する半導体装置には、ストアキュー（あるいはライトバッファもしくはストアバッファ）と呼ばれるデータ書き込み命令用のバッファメモリを備え、主記憶装置、およびデータキャッシュにおけるデータメモリへのデータ書き込み時に、一旦書き込みアドレスとデータとからなるストア命令をストアキューに保持させることで、マイクロプロセッサの実行効率を向上させようとするものがある。この種の技術については、例えば特開平9-114734号公報「ストアバッファ装置」、特開2000-181780号公報「ストアバッファ装置」等に記載されている。なお、本願では「データキャッシュ(システム)」は、「タグメモリ」および「データメモリ」とそれらの制御回路とから構成されているものとする。

【0003】

また、ストアキューを用いる半導体装置では、命令リオーダーと呼ばれる命令順序を入れ替える制御を行うことがある。命令リオーダーでは、例えば、タグ検索済みのストア命令をストアキューに保持し、ストア命令の書き込みに先立って、後続のロード命令によってデータメモリや主記憶装置に対して読み出しを行う。このことで、主記憶装置やデータメモリへのアクセス効率の向上を図っている。ただし、この命令リオーダーにはアクセス先の依存関係を壊さない範囲でのみ入れ替え可能であるという制約がある。すなわち、同一アドレスに対して、ストア命令、ロード命令の順にアクセスする場合、ストア命令による書き込みに先立ってロード命令による読み出しを行うと、誤った値を読み出すことになる。



## 【 0 0 0 4 】

図 1 5 は、命令リオーダーの動作例を説明するための図である。命令①はロード命令であり、16進数("0x")で示すアドレス"1000"のデータをレジスタ"r8"に読み出す命令である。同様に、命令②、④、⑤は、レジスタ"r9"、"r11"、"r12"へ、アドレス"1500"、"1840"、"1760"のデータをそれぞれロードする命令である。そして、命令③は、ストア命令であり、アドレス"1760"にレジスタ"r10"のデータを書き込む命令である。図 1 5 に示す例では、①、②、④の命令は依存関係がないので任意の順番で入れ替え可能である。一方、③、⑤の命令はアドレスが重なっているので、命令③→⑤の実行順序は保証する必要がある。したがって、入れ替え例としては、命令③、①、②、④、⑤や、命令①、②、④、③、⑤といったものが考えられる。例えば命令③、①、②、④、⑤のように命令を入れ替えると、対象アドレスが同一である③のストア命令と⑤のロード命令との時間間隔を大きくすることができるので、命令①～⑤合計での処理時間を短縮することが可能である。

## 【 0 0 0 5 】

次に、図 1 1 ～図 1 4 を参照して、命令リオーダーの制御において、アドレスの依存関係を保証するために設けられている従来の構成例およびその動作例について説明する。図 1 1 は依存関係の有無を検知するための回路構成を示すブロック図である。図 1 2 は主記憶あるいはデータメモリへアクセスする場合のアドレスの構成を示す説明図である。図 1 3 は図 1 1 の構成と組み合わせて用いられるデータキャッシュ（タグメモリ 1 0 4 およびデータメモリ 1 0 5）の 1 ウェイ分の構成を示すブロック図である。そして、図 1 4 が、図 1 1 の構成に係るタグ検索を伴う命令の処理手順を示すフローチャートである。ここで、タグ検索を伴う命令とは、ロード命令、プリフェッチ命令、ストア命令等のデータキャッシュを利用する際にタグ検索を必要とする命令を意味する。またタグ検索とは、ロード命令、プリフェッチ命令、ストア命令等が処理対象とするアドレスにおけるページフレーム番号がタグメモリ 1 0 4 に格納されているかどうかを検索する処理である。

## 【 0 0 0 6 】

この例では、図 1 2 に示すように、アドレス信号は、上位の所定ビットからなるページフレーム番号（あるいはタグ）と、中間の所定ビットからなるインデックスと、下位の所定ビットからなるオフセットから構成されている。一方、データキャッシュは、図 1 3 に示すように、タグメモリ 1 0 4 とデータメモリ 1 0 5 から構成されているが、タグメモリ 1 0 4 は M 個の領域を有し、各領域にはそのインデックスに割り当てられているページフレーム番号が記憶され、さらに、図示してない他の状態保持用の複数のビットデータが記憶されている。また、データメモリ 1 0 5 は、タグメモリ 1 0 4 の各インデックス 0 ～ M - 1 のページフレーム番号に対応する 0 ～ M - 1 のインデックスが付けられた M 個のデータ領域に区分されている。このデータメモリ 1 0 5 の各インデックスに対応するデータ領域は、複数のデータ領域から構成されていて、それぞれの位置は、図 1 2 に示すオフセットの値によって指定されるものである。

## 【 0 0 0 7 】

図 1 1 に戻り、本例におけるアドレスの依存関係の有無の検知は、図 1 2 に示すアドレスのインデックス部分の比較によって行われる。図 1 1 に示す例は、上述したストア命令を保持するためのストアキュー 1 0 1 の段数が 4 段の場合の構成である。タグ検索を伴う命令を処理しようとする場合（ここではタグ検索を伴う命令が対象とするアドレスのインデックスがインデックス B であるとする）、4 個の比較器（0）～（3）からなる比較器群 1 0 2 によって、ストアキュー 1 0 1 の各段に保持されているインデックス A 0 ～ A 3 と、インデックス B が比較される。比較器群 1 0 2 の 4 個の比較器（0）～（3）による比較結果は、OR 回路 1 0 3 によって演算（論理和）されて、その結果によってインデックス B がインデックス A 0 ～ A 3 のいずれかに一致しているか否かが得られることになる。

## 【 0 0 0 8 】

次に、図 1 4 を参照して、タグ検索を伴う命令の処理について概要を説明する。タグ検索を伴う命令（図 1 4 の説明において、以下、対象命令とする）を処理する場合、図 1 1 に示す構成によって、検索対象のインデックスとストアキュー内のすべてのストア命令のインデックスを比較する処理を行う（ステップ S 1 0

1)。ここで、検索対象のインデックスが、ストアキュー内のストア命令のインデックスと1つ以上一致した場合、ストアキュー内の該当命令による書き込みを行う(ステップS102)。以降、同様にステップS101～S102の処理を繰り返し行う。ステップS101でのインデックス比較の結果がすべて不一致であった場合、対象命令に対するタグ検索処理を実行する(ステップS103)。タグ検索処理では、対象命令のページフレーム番号がタグメモリ104の検索対象インデックス内に記憶されている(ヒット)か否(ミス)かを調べ(ステップS103)、ヒットの場合は後続の処理を実行する(ステップS105)。ミスの場合は、タグメモリ104の該当するインデックスに対してリプレース処理をした後(ステップS104)、後続の処理を行う(ステップS105)。

#### 【0009】

ステップS104のリプレース処理は、ページフレーム番号の更新に伴って、データキャッシュ(タグメモリ104とデータメモリ105)の内容を更新する処理である。処理の内容は、データメモリ105の内容を主記憶に書き戻す必要がある場合と、ない場合とで異なり、2種類の処理に分けられる。例えば主記憶からデータメモリ105に読み出されていたデータが、更新時までに変更されなかった場合には、そのデータを主記憶に書き戻す必要はなく、単に新たに設定されたページフレーム番号に対応するデータを主記憶からデータメモリ105の対応するインデックスの領域に読み出してくるだけでよい。この書き戻し(ライトバック)を伴わないデータの読み出しのみの処理をリフィル動作と呼ぶ。一方、データを主記憶に書き戻した後、新たに設定されたページフレーム番号に対応するデータを主記憶からデータメモリ105の対応するインデックスの領域に読み出してくる動作は、ライトバックおよびリフィル動作と呼ぶ。そして、リフィル動作、ならびに、ライトバックおよびリフィル動作の両方をまとめてリプレース動作(リプレース処理)と呼ぶこととする。つまり、リプレース処理と言った場合、リフィル動作のみを行うときと、ライトバック動作とリフィル動作の両者を行うときのどちらかを意味することになる。

#### 【0010】

また、ステップS102の処理では、ストアキュー内の該当命令による書き込

みが終了するまで、当該対象命令が停止、すなわちストールすることになる。

【0011】

【発明が解決しようとする課題】

ところで、従来の技術では、図11を参照して説明したように、タグ検索前にインデックスのみの比較が行われ、比較結果がひとつでも一致した場合にはストール状態となってしまう。しかしながら、タグ検索を伴う命令とストアキュー内のストア命令との間では、インデックスが一致している場合でも、例えばオフセットが異なっているときには、対象とするアドレスが異なるので、比較した命令間に依存関係は存在しない。すなわち、従来の技術では、このような命令に依存関係が存在しない場合でも、ストール状態になってしまうことがある。そのためストール状態が発生する確率が比較的高く、したがって、命令のリオーダーが効率的に行われなくなるという課題があった。

【0012】

本発明は、上記の事情を考慮してなされたものであって、不要なストール状態の発生をできるだけ回避し、それによって命令のリオーダーを促進することで、マイクロプロセッサの性能を向上させることができるキャッシュシステムの制御回路を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記課題を解決するため、請求項1記載の発明は、N段（N：1以上の整数）のストアキューを備え、命令のリオーダーが可能なデータキャッシュを備えるキャッシュシステムの制御回路において、タグ検索を伴う命令のインデックス及びオフセットが、ストアキュー内の少なくとも1個のストア命令のインデックス及びオフセットと一致するときに、前記タグ検索を伴う命令をストールし、インデックスが一致するがオフセットが一致しないときは前記タグ検索を伴う命令をストールしないことを特徴とする。請求項2記載の発明は、N段（N：1以上の整数）のストアキューを備え、命令のリオーダーが可能なデータキャッシュを備えるキャッシュシステムの制御回路において、タグ検索を伴う命令のインデックス及びオフセットとストアキュー内のストア命令のインデックス及びオフセットと

をそれぞれ比較し、両方とも一致するときに、当該タグ検索を伴う命令をストールすることを特徴とする。請求項 3 記載の発明は、N 段（N：1 以上の整数）のストアキューを備え、命令のリオーダーが可能なデータキャッシュを備えるキャッシュシステムの制御回路において、タグ検索を伴う命令のインデックス及びオフセットとストアキュー内のストア命令のインデックス及びオフセットとを比較する手段を備えることを特徴とする。

## 【 0 0 1 4 】

請求項 4 記載の発明は、N 段（N：1 以上の整数）のストアキューを備え、命令のリオーダーが可能なデータキャッシュを備えるキャッシュシステムの制御回路において、ストアキュー内にストア命令が存在している場合に、後続のタグ検索を伴う命令のインデックスが、ストアキュー内のストア命令のインデックスと一致するときにもタグ検索を伴う命令をストールさせず、タグ検索を伴う命令がキャッシュミスをし、リプレース対象のインデックス、ウェイの組み合わせと、ストアキュー内のストア命令のインデックス、ウェイの組み合わせが一組でも一致したときのみ、ストアキュー内のストア命令による書き込みを優先して実行した後に、リプレース処理を行うことを特徴とする。請求項 5 記載の発明は、後続のタグ検索を伴う命令のインデックス及びオフセットが、前記ストアキュー内のストア命令のインデックス及びオフセットと一致するときにはタグ検索を伴う命令をストールさせることを特徴とする。請求項 6 記載の発明は、前記後続のタグ検索を伴う命令がロード命令であることを特徴とする。請求項 7 記載の発明は、前記タグ検索を伴う命令がストア命令である場合に、タグ検索を伴う命令がキャッシュミスをしたときには、リプレース対象のインデックス、ウェイの組み合わせと、ストアキュー内のストア命令のインデックス、ウェイの組み合わせが一組でも一致したときに、ストアキュー内のストア命令による書き込みを優先して実行し、その後リプレース処理を行ってから当該タグ検索を伴う命令をストアキューに格納することを特徴とする。

## 【 0 0 1 5 】

請求項 8 記載の発明は、前記データキャッシュが m ウェイ（m は 2 以上の整数）のセットアソシアティブ方式による構成を有していることを特徴とする。請求

項 9 記載の発明は、請求項 1 ～ 8 のいずれか 1 項記載のキャッシュシステムの制御回路と、前記キャッシュシステムの制御回路に対してストアキュー内のストア命令による書き込みの実行を許可する信号を与える信号処理装置とを備えたことを特徴とする。請求項 1 0 記載の発明は、N 段（N：1 以上の整数）のストアキューを備え、命令のリオーダーが可能なデータキャッシュを備えるキャッシュシステムの制御方法において、ストアキュー内にストア命令が存在している場合に、タグ検索を伴う命令のインデックス及びオフセットが、ストアキュー内の少なくとも 1 個のストア命令のインデックス及びオフセットと一致するときに前記タグ検索を伴う命令をストールし、インデックスが一致するがオフセットが一致しないときは前記タグ検索を伴う命令をストールしないことを特徴とする。

## 【 0 0 1 6 】

請求項 1 1 記載の発明は、各段にストア命令に係る情報を格納する N 段（N：1 以上の整数）のストアキューと、後続するタグ検索を伴う命令がストア命令以外の命令である場合に、当該命令のインデックス及びオフセットが、前記ストアキュー内の少なくとも 1 つのストア命令のインデックス及びオフセットと一致するときにその旨を示す信号を出力するインデックスマッチ検出手段と、前記インデックスマッチ検出手段から比較結果が一致したことを示す信号が出力された場合に、当該後続命令をストールさせる制御手段とを備えたことを特徴とする。請求項 1 2 記載の発明は、各段にストア命令に係る情報を格納する N 段（N：1 以上の整数）のストアキューと、後続するタグ検索を伴う命令がストア命令以外の命令である場合、当該命令のインデックス及びオフセットが、前記ストアキュー内の少なくとも 1 つのストア命令のインデックス及びオフセットと一致するときにその旨を示す信号を出力するインデックスマッチ検出手段と、後続するタグ検索を伴う命令のインデックス及びウェイが、前記ストアキュー内の少なくとも 1 つのストア命令のインデックス及びウェイと一致するときにその旨を示す信号を出力するストアキューヒット検出手段と、前記インデックスマッチ検出手段又は前記ストアキューヒット検出手段から比較結果が一致したことを示す信号が出力された場合に、当該後続命令をストールさせる制御手段とを備えたことを特徴とする。

## 【 0 0 1 7 】

## 【発明の実施の形態】

以下、図面を参照して本発明によるキャッシュシステムの制御回路ならびにそれを用いた半導体装置の実施の形態について説明する。図 1 は、本発明によるキャッシュシステムの制御回路の構成を機能ブロックに分けて示すとともに、制御信号の流れを示すブロック図である。図 1 に示す実施形態において本発明が最も特徴とする部分の構成は、ストール検出（ストアキューヒット）6 とストール検出（インデックスマッチ）7、およびそれらの入出力信号に関係する部分の構成である。

## 【 0 0 1 8 】

命令フェッチ 1 は、順次、命令をフェッチし、複数の実行ユニット 2, 3, … に供給する。実行ユニット 2 は、ロード命令またはストア命令を処理するものであって、OR 回路 5 からストール状態を指示するストール信号が出力されていない場合に、ロード命令またはストア命令を解読し、その結果得られたアドレスのオフセット、インデックス等を示す信号を、セクタ 4 の一方の入力端子へと出力する。セクタ 4 は、ストール信号が出力されていない状態で実行ユニット 2 の出力を選択してバッファ 8 へ入力する。このバッファ 8 の出力は、セクタ 4 の他方の入力端子に入力されて、OR 回路 5 からストール状態を指示するストール信号が出力されている場合にセクタ 4 からそのまま出力されて、バッファ 8 の入力へ帰還されることになる。

## 【 0 0 1 9 】

なお、本実施形態では説明を簡略化するため、実行ユニット 2 で処理される命令を、データキャッシュを使用するものであって、かつ、内部レジスタと、データキャッシュのデータメモリまたは主記憶装置との間でデータの読み出しまたは書き込みを行うロード命令またはストア命令に限定する。ただし、本発明の適用の範囲はこのようなロード命令やストア命令に限定されることなく、タグ検索を伴う命令であれば適用可能である。

## 【 0 0 2 0 】

OR 回路 5 は、ストール検出（ストアキューヒット）6 と、ストール検出（イ

ンデックスマッチ) 7 との出力を入力として、論理和を求めて出力する。ストール検出 (ストアキューヒット) 6 は、バッファ 8 から出力される後続命令と、ストアキュー 9 に記憶されている各命令とについて、インデックスおよびウェイをそれぞれ比較して、一致した場合にはその旨を示す信号 (この場合アクティブレベルの信号) を出力する。ストール検出 (インデックスマッチ) 7 は、バッファ 8 から出力される後続命令がストア命令以外の命令である場合に、当該命令と、ストアキュー 9 に記憶されている各命令とについて、インデックスとオフセットをそれぞれ比較して、一致した場合にはアクティブレベルを出力する。

## 【 0 0 2 1 】

タグメモリ制御部 1 2 は、コントローラ 1 2 a とタグメモリ 1 3 とから構成されていて、後述するデータメモリ制御部 1 0 とともにデータキャッシュを構成する。コントローラ 1 2 a は、タグメモリ 1 3 へのアクセス制御を主な機能とする。タグメモリ制御部 1 2 はタグ検索を伴う後続命令のインデックス、オフセット、ページフレーム番号等を入力し、検索対象インデックス内に当該ページフレーム番号が記憶されている (ヒット) か否 (ミス) かを確認し、検索結果 (ヒット / ミス) を出力する。また、ヒット時にはヒットしたウェイ、ページフレーム番号を、ミス時にはリプレース対象のウェイ、および、ページフレーム番号をタグ検索結果として出力する。ストアキュー 9 は  $n$  段 ( $n: 1$  以上の整数) の記憶領域を有し、バッファ 8 から出力されてタグ検索済みのストア命令 (書き込み要求) の対象アドレス、データ、タグメモリから出力されるページフレーム番号、ウェイ等の情報の組を最大  $n$  組まで記憶することができる。そして、ストアキュー 9 は、図示していないプロセッサから書き込み許可を示す実行許可信号を受け取ると、ストアキュー 9 内に格納された情報に基づき書き込みを行う。

## 【 0 0 2 2 】

データメモリ制御部 1 0 は、コントローラ 1 0 a と所定容量のデータキャッシュ用のデータメモリ 1 1 とから構成されている。コントローラ 1 0 a は、ライトバック / リフィル及びデータメモリ 1 1 へのアクセス制御を主な機能とする。データメモリ制御部 1 0 は、タグメモリ制御部 1 2 の出力に基づいて、コントローラ 1 0 a によってライトバック / リフィル動作を制御し、バッファ 8 から直接供



給されるリード要求と、ストアキュー 9 から供給されるライト要求に基づいて、データメモリ 11 および図示していない主記憶に対するリード／ライト動作を実行する。

#### 【0023】

次に、図 2 を参照して、図 1 のストアキュー 9 の構成例について説明する。図 2 に示すように本実施形態では、ストアキュー 9 は、 $n$  段の領域を有し、各領域には  $0 \sim n-1$  の ID (識別符号) が付けられている。各領域には、各ストア命令のアドレスとデータを示す情報が記憶される。ただし、図 2 ではそれらのうちのページフレーム番号、インデックス、オフセット、およびウェイのみを示し、ストアするデータ等については図示を省略している。なお、図 2 においてストアキュー 9 に記憶されるページフレーム番号、インデックス、オフセットは、いずれも図 12 に示すアドレスの各部分に対応するものである。ここで、ウェイは、データキャッシュの構成が複数ウェイ構成の場合に、どのウェイを各ストア命令が対象とするのかを示す値を有するものであって、例えばデータキャッシュがウェイ 0 およびウェイ 1 の 2 ウェイで構成されるときには、ウェイ 0 またはウェイ 1 に対応するウェイ番号 "0" または "1" のいずれかの値を有することになる。

#### 【0024】

次に、図 3 を参照して、図 1 に示すタグメモリ 13 と、データメモリ 11 の構成例について説明する。図 3 に示すように本実施形態では、データキャッシュは、ウェイ 0 およびウェイ 1 からなる 2 ウェイ構成であり、タグメモリ 13 と、データメモリ 11 には、それぞれ 2 ウェイ分の領域が設けられている。タグメモリ 13 では、ウェイ 0 およびウェイ 1 の 2 つ領域がページフレーム番号をそれぞれに記憶するための複数の領域に分けられていて、各領域に対してはウェイ 0 およびウェイ 1 共通に、インデックス  $0, 1, 2, \dots, i, \dots$  が付けられている。ただしウェイ数は、4, 8 等でもよく、2 には限定されない。

#### 【0025】

次に、図 4 および図 5 を参照して、図 1 に示す構成の基本的な動作について説明する。図 4 は、図 1 に示す構成におけるストア命令の処理を示すフローチャートであり、図 5 は、図 1 に示す構成におけるタグ検索を伴う命令の処理を示すフ

ローチャートである。上述したように本願では、タグ検索を伴う命令を、ロード命令、プリフェッチ命令、ストア命令等のタグ検索処理を必要とする命令と定義している。したがって、図5のフローチャートは、図4のストア命令に対する処理を含んだものである。

## 【0026】

まず図4を参照して、ストア命令の処理フローについて説明する。ストア命令を処理する場合（以下、処理対象のストア命令を対象命令とする）、タグメモリ制御部12においてタグ検索、すなわち検索対象インデックス内に当該ページフレーム番号を記憶している（ヒット）か否（ミス）かを確認し、ヒット／ミスの結果を出力する（ステップS1）。ミスの場合、タグメモリ13で対象命令の書き込み対象インデックスの2つのウェイのいずれかを、LRU（Least Recently Used）等の入れ替えアルゴリズムによって選択して、選択した対象命令のインデックス・ウェイとストアキュー9内のすべてのストア命令のインデックス・ウェイとを比較し、一致しているストア命令がある場合は、一致しているストアキュー9内のすべてのストア命令による書き込みを実行した後、タグメモリ13に記憶しているページフレーム番号、データメモリ11に記憶しているデータに対してリプレース処理を実行し、対象命令をヒットの状態にする（ステップS2）。ヒットの状態で、対象命令をストアキュー9に格納する（ステップS3）。以上の処理がストア命令の実行フローによる第1ステップの処理である。

## 【0027】

第1ステップの処理が終了した後に、ストアキュー9に格納されているストア命令による書き込み処理が実際に実行される段階が、第2ステップの処理である。第2ステップの処理では、主記憶やデータキャッシュあるいは他の各部の動作状態に応じて、データがストア可能になったときに実行許可信号が入力され、実行許可条件がOK（満足）されたときに書き込みの実行が開始される（ステップS4）。実行許可条件がOKになった場合、ストアキュー9に格納されているストア命令による書き込みが行われて、データメモリ11に対してデータの書き込みが行われる（ステップS5）。ここで、実行許可信号は各ストア命令に対してそれぞれ発生される。

## 【 0 0 2 8 】

次に図 5 のフローチャートを参照してタグ検索を伴う命令全体に対する処理について説明する。図 5 では、ステップ S 1 3 の処理が図 4 のステップ S 1 の処理に、ステップ S 1 4 ～ S 1 6 の処理が図 4 のステップ S 2 の処理に、そして、ステップ S 1 7 およびそれ以降の処理が図 4 のステップ S 3 の処理およびステップ S 4 ～ S 5 の処理に、それぞれ対応している。図 5 において、タグ検索を伴う命令がバッファ 8 から出力された場合（以下、バッファ 8 から出力された命令を対象命令とする）、対象命令がストア命令でない場合には（ステップ S 1 0 で判定結果が「N o」の場合には）、ストール検出（インデックスマッチ）7 によって、ストアキュー 9 内に、当該対象命令と、インデックス、オフセットがともに一致するストア命令が 1 つ以上あるかどうかを確認される（ステップ S 1 1）。ここで 1 つ以上の命令が確認された場合、ストール状態となって、当該対象命令による書き込みまたは読み出しの実行が停止され、条件が解消するまで、ストアキュー 9 に格納されているストア命令による書き込みの実行が行われる（ステップ S 1 2）。

## 【 0 0 2 9 】

次に、ステップ S 1 1 でストアキュー 9 内にインデックス、オフセットがともに一致するストア命令がなかったと確認された場合（“すべて不一致”の場合）、または対象命令がストア命令の場合には（ステップ S 1 0 で判定結果が「Y e s」の場合には）、タグメモリ制御部 1 2 によってタグ検索が行われる（ステップ S 1 3）。タグ検索の結果が“ヒット”であった場合、次の処理が実行される（ステップ S 1 7）。

## 【 0 0 3 0 】

本実施形態では、タグ検索を伴う命令がバッファ 8 から出力された場合、ストアキュー 9 にストア命令が格納されているときに、タグ検索を伴う命令による読み出し処理を先行して実行する制御が行われている。また、図 4 を参照して説明したようにストアキュー 9 に格納するストア命令に対してはキャッシュヒットを保証する制御も行われている。したがって、タグ検索を伴う命令に対するタグ検索結果が“ミス”の場合に、そのままデータキャッシュでリプレース処理を実行し

ていまいと、キャッシュヒットの保証されているストア命令がストア対象として  
 いるキャッシュデータ（タグメモリ 1 3 およびデータメモリ 1 1 内のデータ）が  
 、リプレースされてしまう可能性がある。つまり、ストア命令の対象ページフレ  
 ーム番号が誤ったものになってしまうことになる。そこで、本実施形態では、当  
 該タグ検索結果がミスであったことに起因するリプレース処理の前にそのリプレ  
 ース処理によってストアキュー 9 内のストア命令がストア対象としているキャッ  
 シュデータがリプレースされてしまうかどうかを事前に確認し、リプレースされ  
 てしまう場合には対応するストア命令による書き込み処理の方を先行して実行す  
 る制御を行うこととしている。具体的には、ステップ S 1 4 で、タグメモリ制御  
 部 1 2 によって指定された対象命令のリプレース対象の（インデックス、ウェイ）  
 と、ストアキュー 9 内の全てのストア命令の（インデックス、ウェイ）を比較し、  
 すべてが不一致である場合にはそのままリプレース処理を実行し（ステップ S 1  
 6）、1 つ以上が一致している場合にはストアキュー 9 内の該当ストア命令によ  
 る書き込みを優先して実行するようにしている（ステップ S 1 5）。ステップ S  
 1 4 で 1 つ以上が一致していると判定された場合には、すべてが不一致になるま  
 でストアキュー 9 内の該当ストア命令による書き込み処理を優先して実行し（ス  
 テップ S 1 4 ～ S 1 5 の繰り返し）、その後にステップ S 1 6 のリプレース処理  
 を実行するようにしている。

#### 【 0 0 3 1 】

以上の処理によって、ストアキュー 9 内のストア命令に対するキャッシュヒッ  
 トを保証した状態で、タグ検索を伴う命令による読み出し処理の優先的な実行を  
 行うことが可能となる。なお、ステップ S 1 6 でリプレース処理を実行した後は  
 、キャッシュヒットの場合と同様にステップ S 1 7 の処理が実行される。

#### 【 0 0 3 2 】

次に、図 6 を参照して、タグ検索を伴う命令が処理される場合における図 1 ～  
 図 3 のストール検出（ストアキューヒット）6、ストアキュー 9、およびタグメ  
 モリ 1 3 の動作例について説明する。ここで図 6 に示す構成では、タグメモリ 1  
 3 のインデックス i のウェイ 0 に“ページフレーム番号 A”が、ウェイ 1 に“ペー  
 ジフレーム番号 B”が記憶されていることとする。また、ストアキュー 9 の ID

= 1 のページフレーム番号には"ページフレーム番号 B"、インデックスには"i"、オフセットには"x"、そして、ウェイには"1"が記憶されていて、ストアキューの ID=2 のページフレーム番号には"ページフレーム番号 A"、インデックスには"i"、オフセットには"y"、そして、ウェイには"0"、が記憶されているとする。

#### 【0033】

図5のステップS13でタグ検索すべきデータとして、ページフレーム番号C、インデックスi、オフセットzが入力されたとすると、タグメモリ13のインデックスiのページフレーム番号A≠ページフレーム番号Cかつページフレーム番号B≠ページフレーム番号Cなので、タグ検索結果は"ミス"となる。ここで図1のタグメモリ制御部12においてLRU等によってリプレース対象として"ウェイ=1"が決定されたとする。この場合、ストール検出(ストアキューヒット)6で、当該タグ検索を伴う命令のインデックスiと、リプレース対象のウェイ1と、ストアキュー9のn個のインデックスとウェイとが比較される。この例では、その結果、ストアキュー9のID=1が一致するので、ストアキューヒットの状態となり、ステップS15の処理としてID=1のストア命令による書き込みが実行された後、リプレース処理(ステップS16)が実行されることになる。

#### 【0034】

次に、図7および図8を参照して、図1に示す構成の具体的な動作例について説明する。図7は動作を説明するための命令シーケンスの例、図8は、図7の命令シーケンスが入力された場合の動作を説明するための説明図であって、命令のストア/ロードの区別、リプレース対象のウェイの値、タグメモリ13のインデックス0のウェイ0とウェイ1に格納されているページフレーム番号の値、およびストール検出(ストアキューヒット)6による比較結果("0"はミス、"1"はヒット)の変化を示す図である。なお、図7および後述する図9および図10では、説明を簡単にするため、一例として、アドレスのうち上位4ビットがページフレーム番号、中間の8ビットがインデックス、下位4ビットがオフセットであるとする。

## 【0035】

なお、初期状態において、タグメモリ13のインデックス0のウェイ0に格納されているページフレーム番号は“不定”、ウェイ1は“8”であるとする。また、ストアキュー9にはストア命令は格納されていないものとする。ここで、①のストア命令が処理されたとする（a）。①のストア命令はページフレーム番号が“4”、インデックスが“00”、オフセットが“0”である。したがって、タグ検索（図4のステップS1または図5のステップS13）では、タグメモリ13のインデックス“00”に対応する領域にページフレーム番号“4”が格納されているかどうかを確認され、この場合、結果は“ミス”となり、かつストアキュー9内にはストア命令が格納されていないのでリプレース処理が実行される（図4のステップS2または図5のステップS15）（b）。ただし、ここではリプレース対象としてウェイ0が指定されたものとする。このリプレース処理の結果、タグメモリ13のインデックス00のウェイ0には“4”、ウェイ1には“8”が格納される。そして、①のストア命令はストアキュー9に格納される（図4のステップS3または図5のステップS17）。

## 【0036】

次に、②のストア命令が処理されたとする（c）。②のストア命令はページフレーム番号が“8”、インデックスが“00”、オフセットが“0”である。したがって、タグ検索（図4のステップS1または図5のステップS13）では、タグメモリ13のインデックス“00”に対応する領域にページフレーム番号“8”が格納されているかどうかを確認され、この場合、結果は“ヒット”（ウェイ1）となるので、②のストア命令はストアキュー9に格納される（図4のステップS3または図5のステップS17）。

## 【0037】

ここで、③のロード（リード）命令が処理されたとする（d）。③のロード命令はページフレーム番号が“C”、インデックスが“00”、オフセットが“4”である。この場合、ストアキュー9に格納されている2つの命令①、②は、ともに、インデックス“00”と、オフセット“0”を対象とするものなので、図5のステップS11の判定結果は“すべて不一致”となる。次に、図5のステップS13のタ

グ検索が行われる。この場合、タグメモリ 1 3 のインデックス"0 0"にページフレーム番号"C"は格納されていないので、タグ検索の結果は"ミス"となる。次に、図 5 のステップ S 1 4 の処理が実行される。ただし、③のロード命令に対するリプレース対象のウェイは"0"に指定されたものとする。この場合、③のロード命令のリプレース対象のインデックスは".0 0"、ウェイは"0"なので、ストアキュー 9 に格納されている①のストア命令とインデックス、ウェイがともに一致することになる。したがって、図 5 のステップ S 1 4 の判定結果は"1 つ以上一致（すなわちストアキューヒット状態）"となるので、ステップ S 1 5 の処理が実行される。この場合、①のストア命令による書き込みが実行されてデータの書き込みが行われる（e）。

## 【0 0 3 8】

この例では図 5 のステップ S 1 5 では①のストア命令のみが該当命令となるので、①のストア命令による書き込みが実行された後、ステップ S 1 6 のリプレース処理が実行されて、タグメモリ 1 3 のインデックス 0 0 のウェイ 0 には"C"が格納される（f）。

## 【0 0 3 9】

次に、図 9 および図 1 0 を参照して、図 5 のステップ S 1 1 で各条件が成立する具体例を説明する。図 9 および図 1 0 は、各条件が成立する命令の例を示す図である。図 9 は、インデックス、オフセット比較でストールする例を示し、（1）が実際にデータ依存関係がある場合（インデックス、オフセット一致、ページフレーム番号一致）（2）が依存関係はないが、インデックス、オフセットが一致した場合（インデックス、オフセット一致、ページフレーム番号不一致）を示している。図 1 0 は、インデックス、オフセット比較でストールしない例を示し、（1）がインデックスが不一致の場合、（2）がインデックス一致でオフセット不一致の場合（ストアキューヒットになる可能性がある場合）を示している。

## 【0 0 4 0】

なお、本発明の実施の形態は上記のものに限定されることなく適宜変更可能である。例えば、図 1 におけるストール検出 6, 7 を一体としてまとめたり、データメモリ制御部 1 0 とタグメモリ制御部 1 2 におけるコントローラ 1 0 a, 1 2

a を一体としてまとめたり、あるいは実行ユニット 2 をロード命令とストア命令毎に別ユニットとして設けたりすることが可能である。

【 0 0 4 1 】

【発明の効果】

本発明によれば、タグ検索を伴う命令のインデックス及びオフセットがストアキュー内の少なくとも 1 個のストア命令のインデックス及びオフセットと一致するときにタグ検索を伴う命令をストールさせるようにしたので、従来に比べ不要なストール状態の発生を少なくすることができ、データキャッシュに関連する命令のリオーダーを促進し、マイクロプロセッサの性能を向上させることができる。

【図面の簡単な説明】

【図 1】 本発明によるキャッシュシステムの制御回路の一実施の形態を示すブロック図。

【図 2】 図 1 のストアキュー 9 の構成例を示す図。

【図 3】 本実施形態のデータキャッシュの構成例を示す図。

【図 4】 図 1 のキャッシュシステムの制御回路の動作を説明するためのフローチャート（ストア命令処理時）。

【図 5】 図 1 のキャッシュシステムの制御回路の動作を説明するためのフローチャート（タグ検索を伴う命令処理時）。

【図 6】 図 1 のストール検出 6 およびストアキュー 9 の内部構成例と、ストール検出 6 およびストアキュー 9 と、タグメモリ 1 3 とによる動作例を示すブロック図。

【図 7】 図 1 のキャッシュシステムの制御回路の動作を説明するために用いる命令の例を示す図。

【図 8】 図 1 のキャッシュシステムの制御回路の動作を説明するための説明図。

【図 9】 図 1 のキャッシュシステムの制御回路の他の動作を説明するための命令の例を示す図。

【図 1 0】 図 1 のキャッシュシステムの制御回路の他の動作を説明するため



の命令の例を示す図。

【図 1 1】従来のキャッシュシステムの制御回路の構成例を示すブロック図

【図 1 2】本発明および従来のキャッシュシステムの制御回路で使用されるアドレス構成を示すブロック図。

【図 1 3】セットアソシアティブ方式のキャッシュメモリの 1 ウェイ分の構成例を示すブロック図。

【図 1 4】図 9 の従来例の動作を説明するためのフローチャート。

【図 1 5】データキャッシュを用いる回路における命令リオーダーの動作を説明するための説明図。

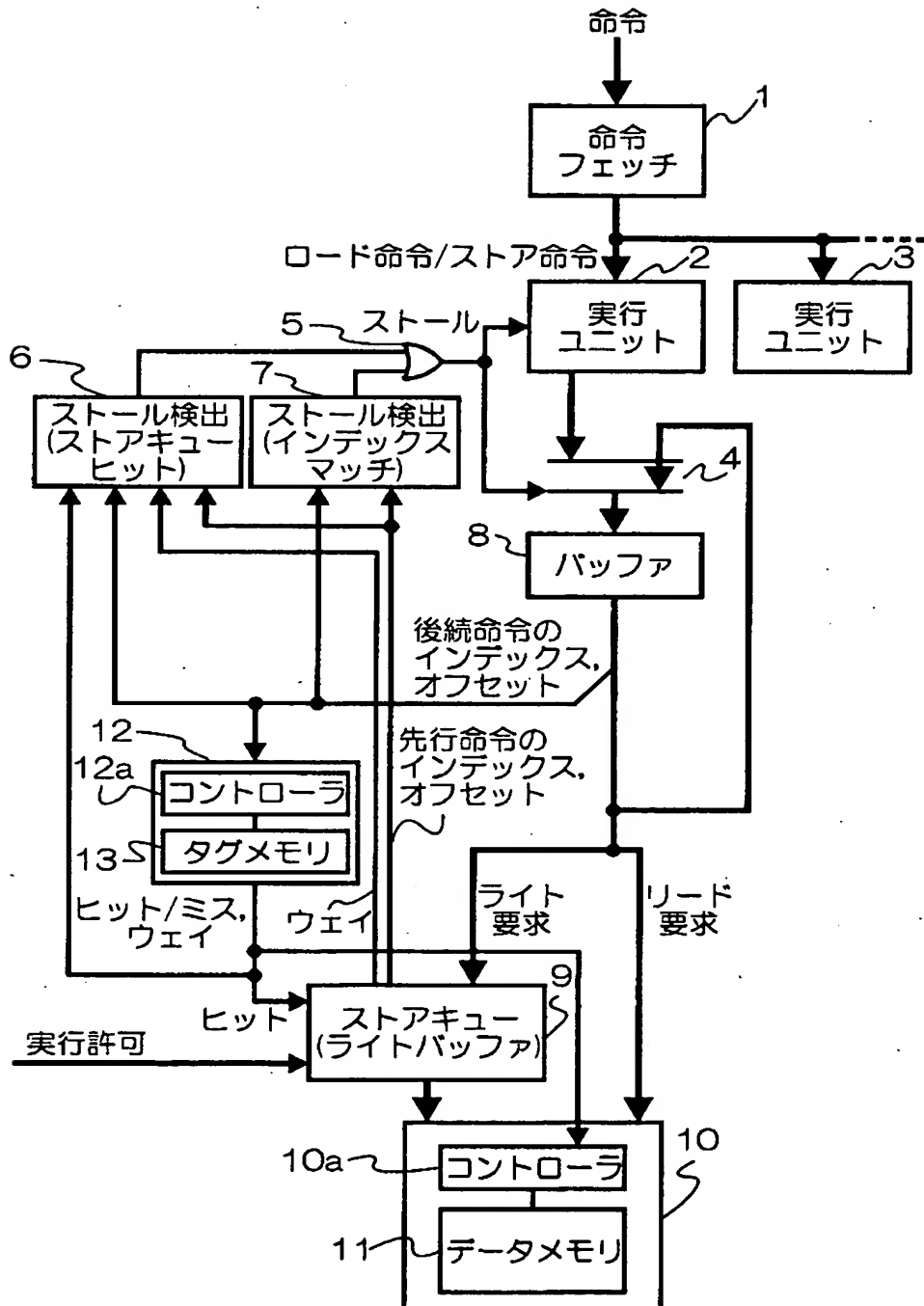
【符号の説明】

- 1 命令フェッチ
- 2 実行ユニット
- 3 実行ユニット
- 4 セレクタ
- 5 O R 回路
- 6 ストール検出(ストアキューヒット)
- 7 ストール検出(インデックスマッチ)
- 8 バッファ
- 9 ストアキュー (ライトバッファ)
- 1 0 データメモリ制御部
- 1 1 データメモリ
- 1 2 タグメモリ制御部
- 1 3 タグメモリ

【書類名】

凶面

【図 1】

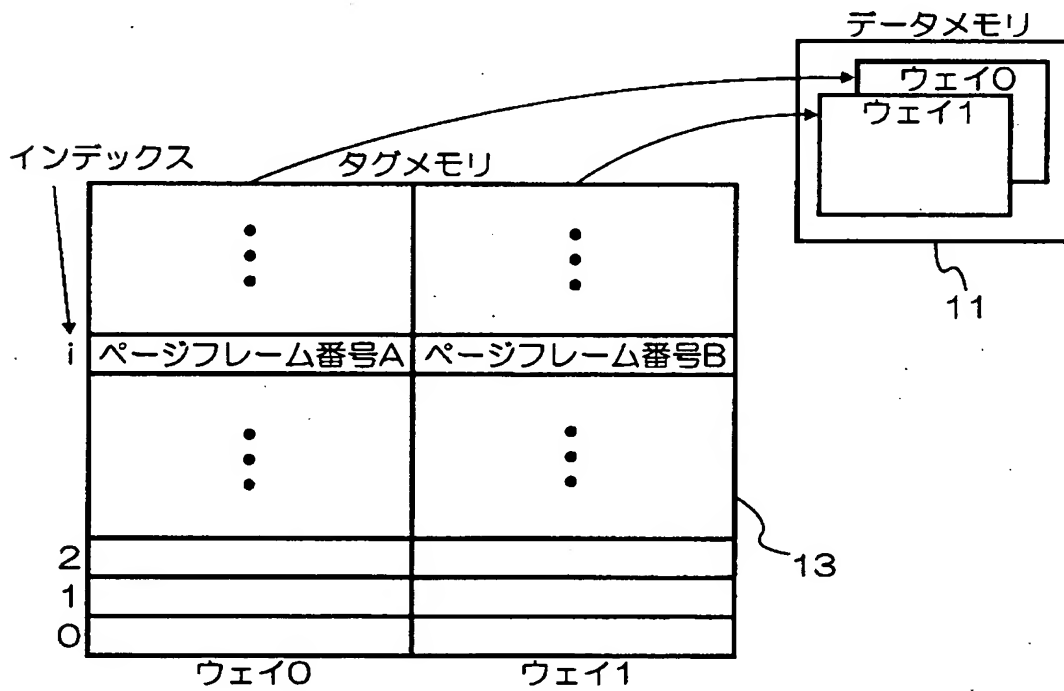


【図 2】

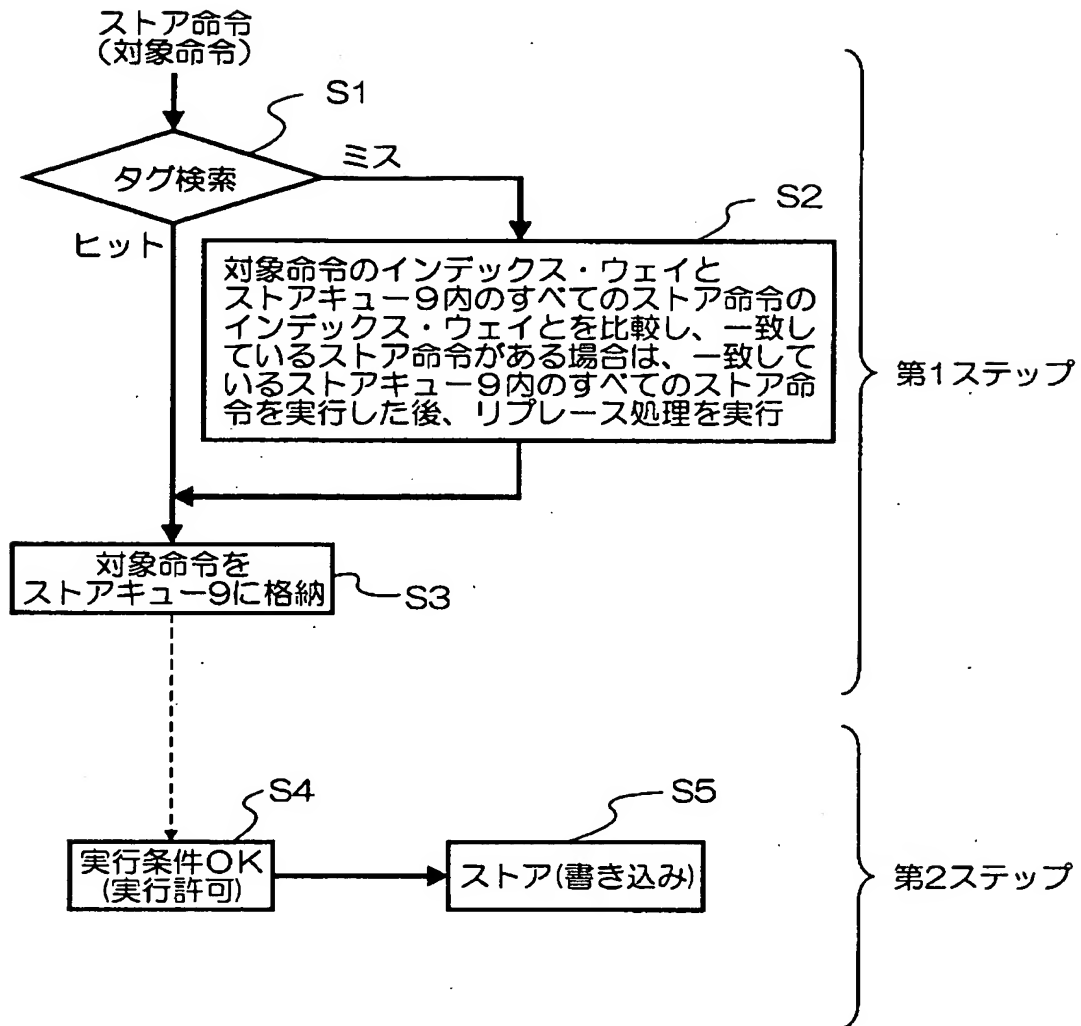
9

ID	ページフレーム番号	インデックス	オフセット	ウェイ	...
0					...
1					...
2					...
⋮	⋮	⋮	⋮	⋮	⋮
n-1					...

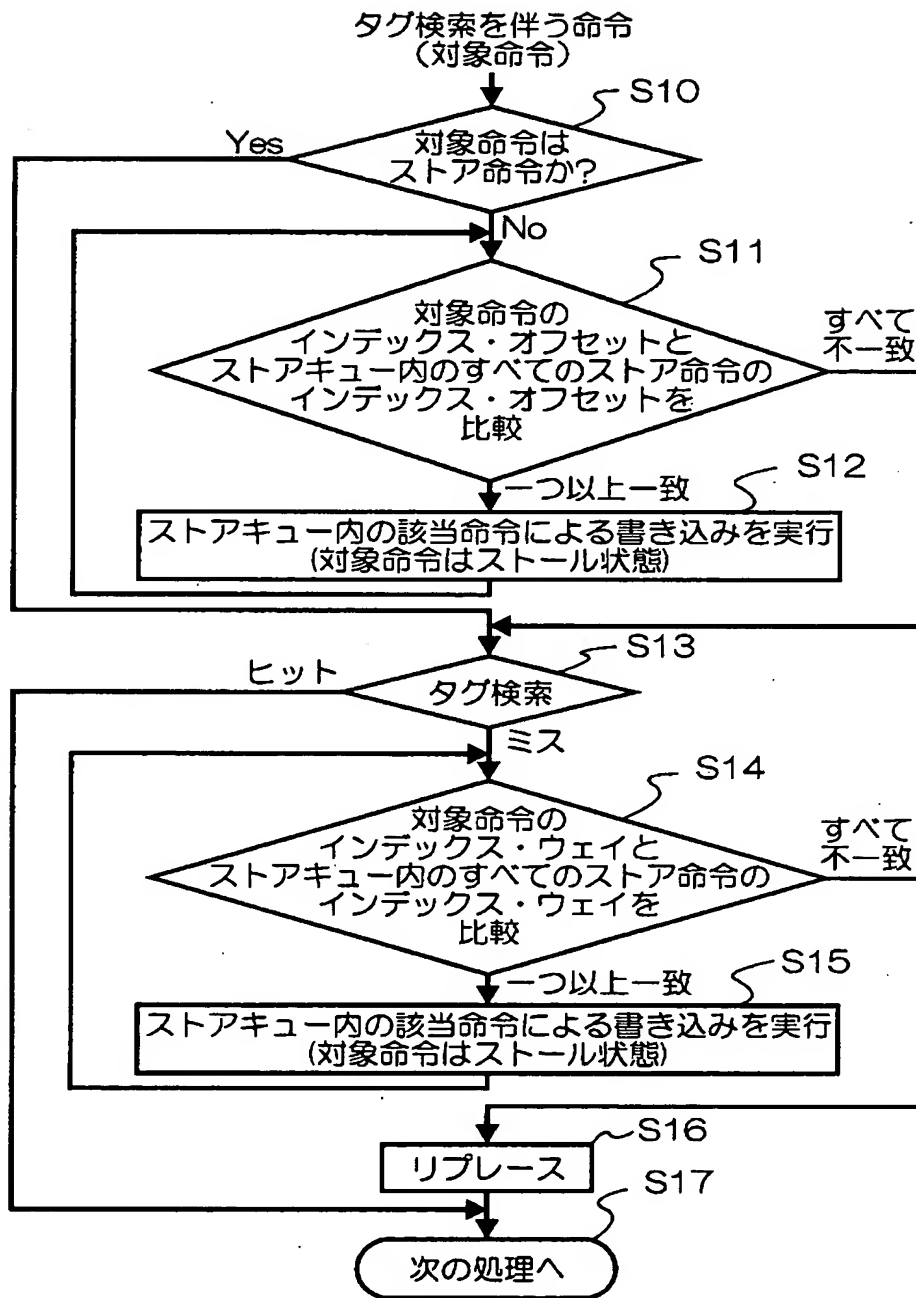
【図 3】



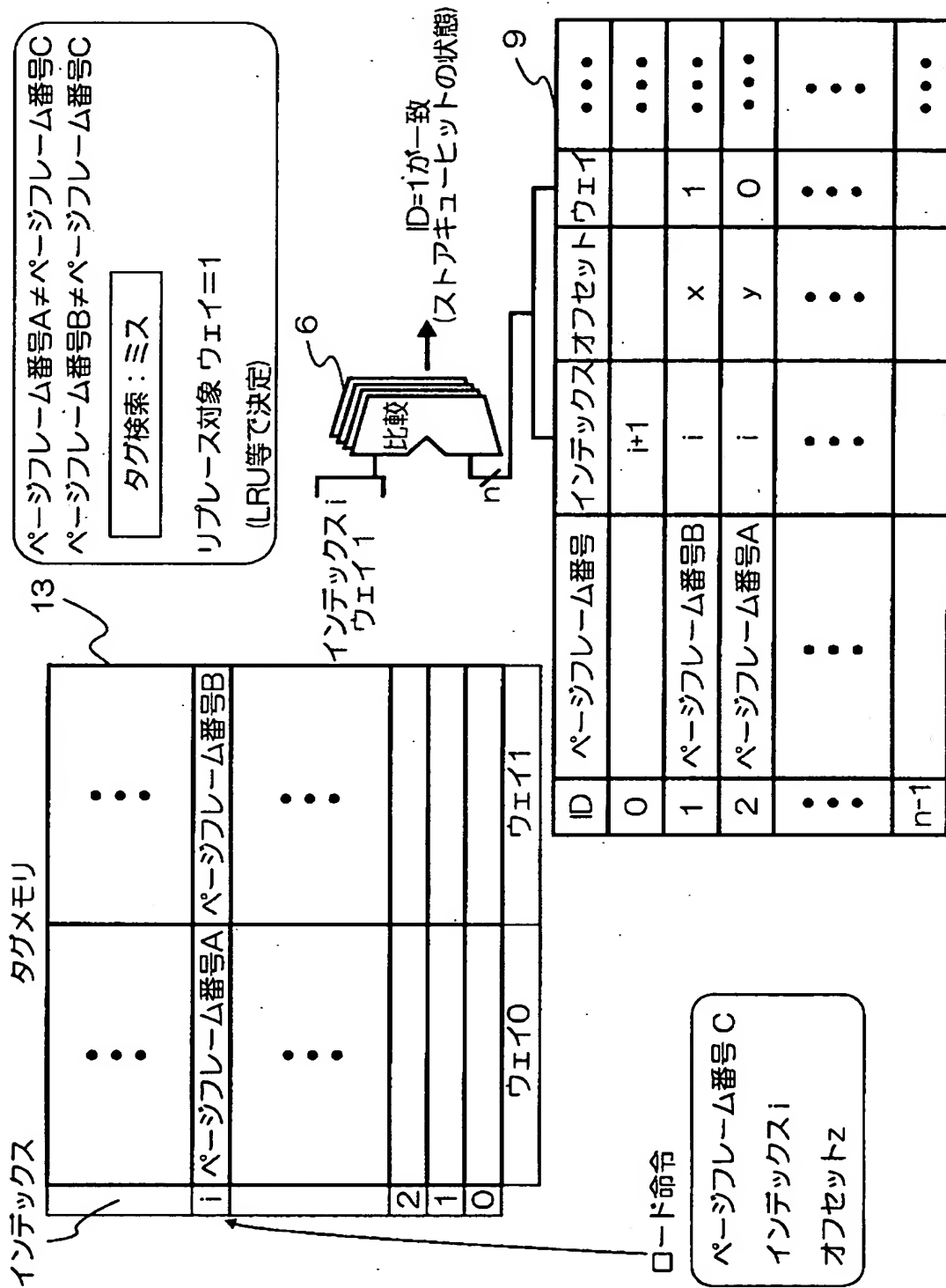
【図 4】



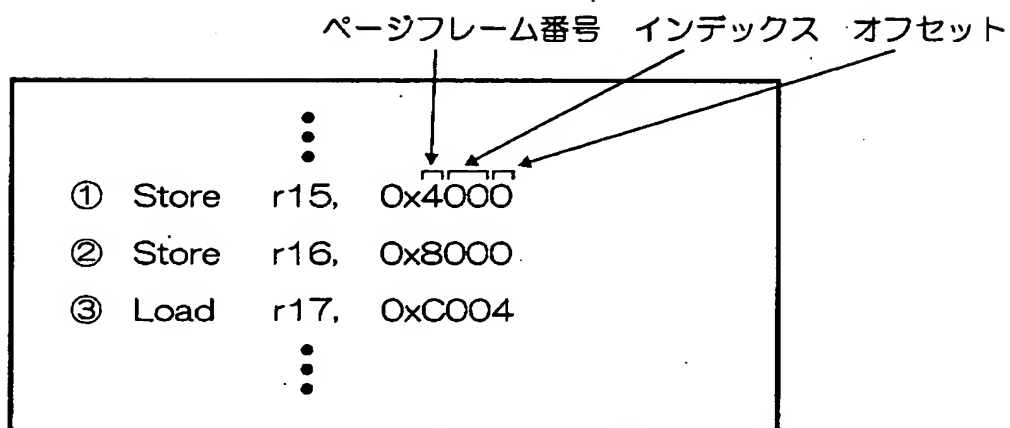
【図 5】



【図 6】



【図 7】



【図 8】

			対象 ウェイ	タグメモリ13 (インデックス00) ウェイ0   ウェイ1	ストア キュー 比較結果
a	① Store	タグ検索→ミス	0	不定   8	0
b		リプリーズ	0	4   8	0
c	② Store	タグ検索→ヒット	1	4   8	0
d	③ Load	タグ検索→ミス	0	4   8	1
e	① Store	書き込み	0	4   8	1
f		リプリーズ(ライトバック+リフィル)	0	C   8	0

【図 9】

インデックス } 比較でストールする例  
オフセット }

(1) 実際にデータ依存関係がある場合

- ① Store r15, 0x4000
- ② Load r17, 0x4000

(インデックス、オフセット一致、ページフレーム番号一致)

(2) 依存関係はないが、インデックス、オフセットが一致した場合

- ① Store r15, 0x4000
- ② Load r17, 0x8000

(インデックス、オフセット一致、ページフレーム番号不一致)

【図 10】

インデックス } 比較でストールしない例  
オフセット }

(1) インデックスが不一致の場合

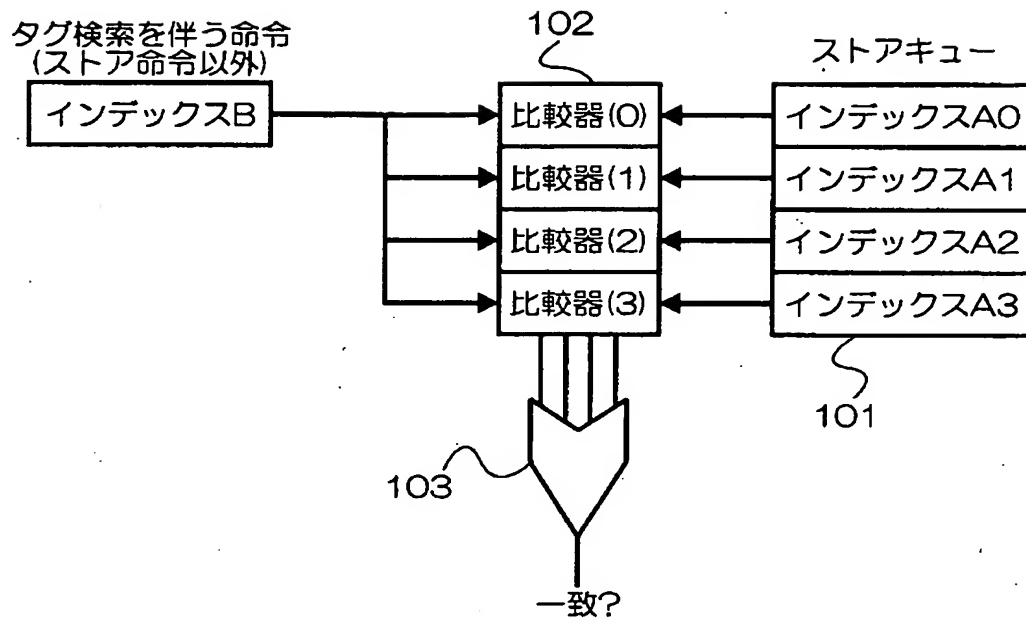
- ① Store r15, 0x4000
- ② Load r17, 0x4128

(2) インデックス一致、オフセット不一致の場合  
(ストアキューヒットになる可能性がある場合)

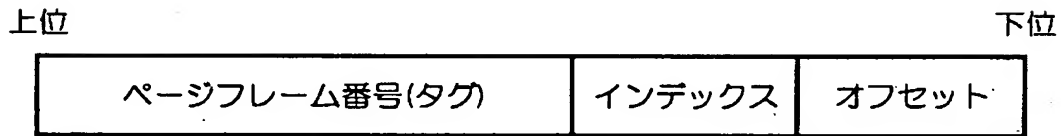
- ① Store r15, 0x4000 → ウエイ0 (LRU変更)
- ② Store r16, 0x8000 → ウエイ1 (LRU変更)
- ③ Load r17, 0xC004 → ウエイ0



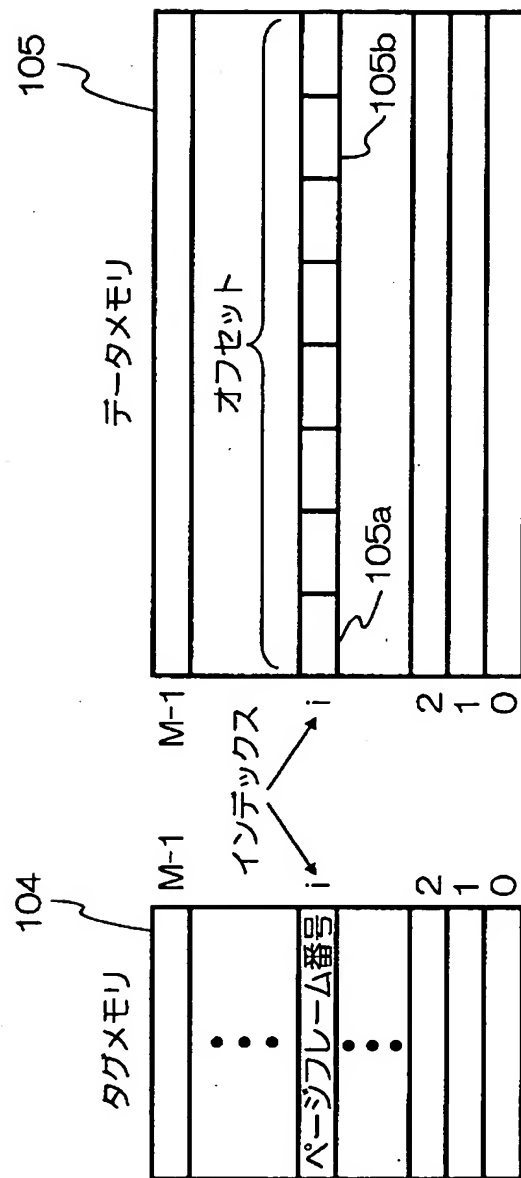
【図 1 1】



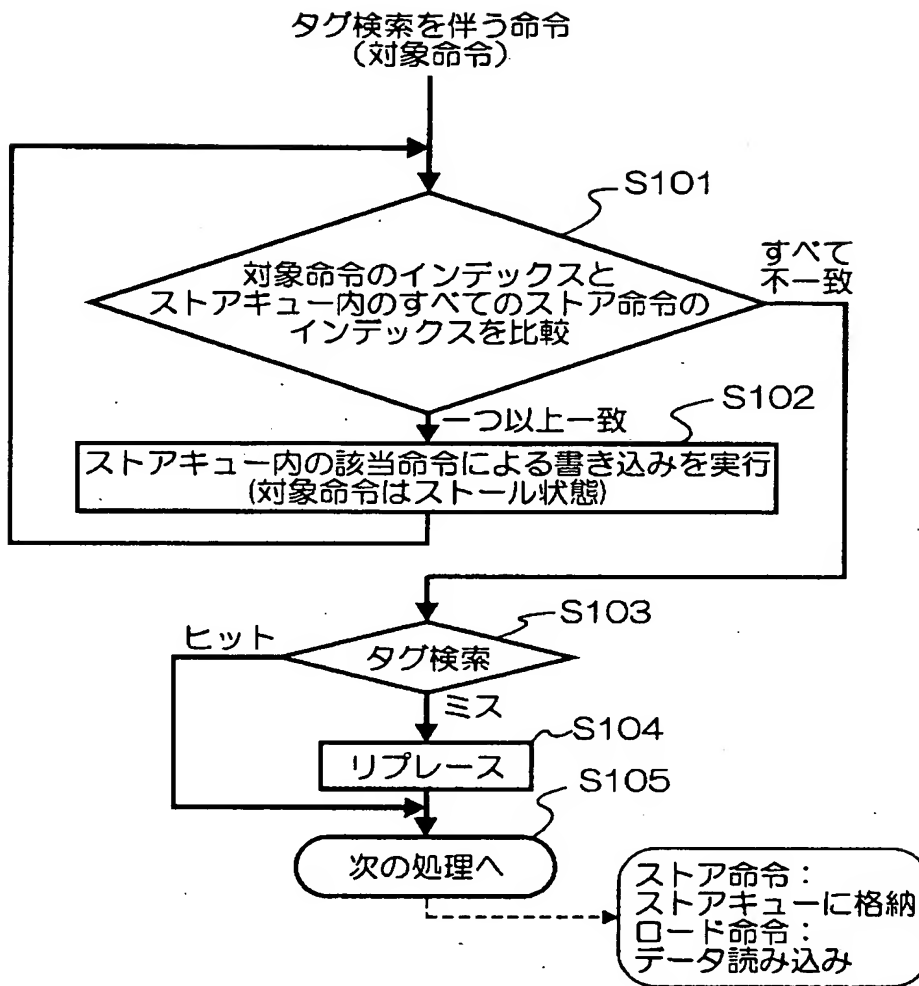
【図 1 2】



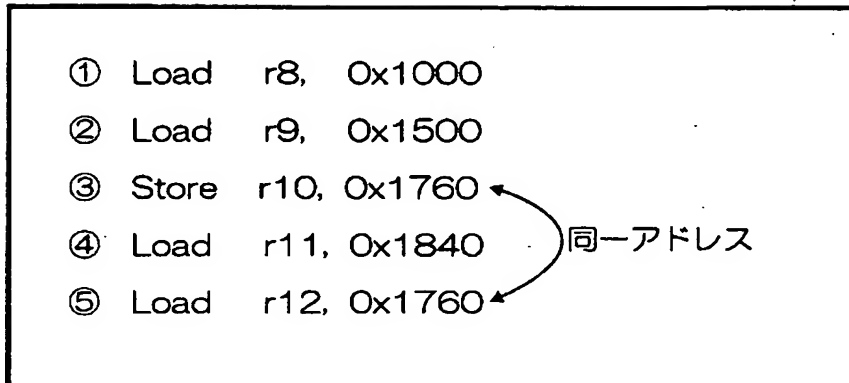
【図 13】



【図14】



【図 15】



①, ②, ④の命令は依存関係がない ⇒ 入れ替え可

③, ⑤の命令はアドレスが重なっている ⇒

③→⑤の順序は保証する必要あり

(入れ替え例)



【書類名】 要約書

【要約】

【課題】 不要なストール状態の発生をできるだけ回避し、それによって命令のリオーダーを促進することで、マイクロプロセッサの性能を向上させる。

【解決手段】 複数段のストアキュー9を備え、命令のリオーダーが可能なデータキャッシュを備えるキャッシュシステムの制御回路であって、ストアキュー9内にストア命令が存在し、かつ、後続のタグ検索を伴う命令のインデックスが、ストアキュー9内のストア命令のインデックスと一致する場合にもタグ検索を伴う命令を処理し、タグ検索を伴う命令がキャッシュミスをし、リプレース対象のインデックス、ウェイの組み合わせと、ストアキュー9内のストア命令のインデックス、ウェイの組み合わせが一組でも一致したときのみ、ストアキュー9内のストア命令による書き込みを優先して実行した後に、キャッシュミスを解消するためのリプレースを行う。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2001-022210
受付番号	50100129217
書類名	特許願
担当官	末武 実 1912
作成日	平成13年 2月15日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【代理人】

申請人	
【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社